

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-305839

(43)Date of publication of application : 22.11.1996

(51)Int.Cl.

G06T 1/60

H04N 1/21

H04N 1/46

(21)Application number : 07-111913

(71)Applicant : DAINIPPON PRINTING CO LTD

(22)Date of filing : 10.05.1995

(72)Inventor : KOBAYASHI YUJI

YOKOTA TAKAKO

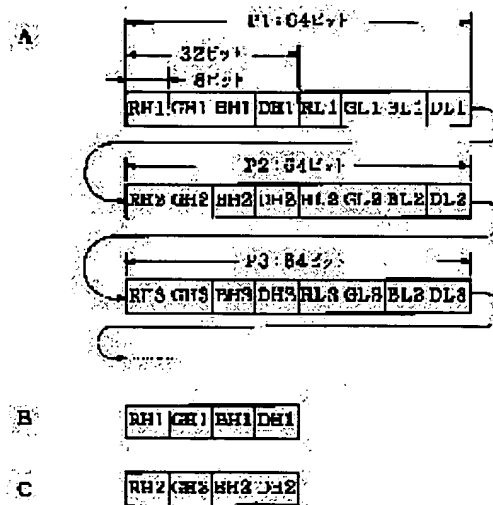
(54) METHOD FOR STORING IMAGE DATA IN IMAGE PROCESSING SYSTEM

(57)Abstract:

PURPOSE: To transfer image data of 16 bits fast to a display device as to one color per pixel.

CONSTITUTION: When each color element is represented by 16 bits for each pixel and data that a display device requests has each color element composed of 8 bits, the high-order 8 bits of R, G, and B and dummy data D are stored in successive addresses of a memory first and the low-order 8 bits of R, G, B, and D are stored in following successive addresses.

Consequently, when the width of a bus is 32 bits, a CPU can transfer the high-order 8 bits of each color element required for the display device, namely, 32 bits in total to the display device by single bus access, so the frequency of bus access is less than before and data that the display device requires, can be transferred fast.



CLAIMS

[Claim(s)]

[Claim 1] A storage means to memorize the image data as which each color element per pixel including dummy data is expressed by N bits. The processing device which uses M (however, $M < N$) bit about each color element per pixel. It is the store method of the image data in the image processing system equipped with the above, and in case image data is memorized for the aforementioned storage means, it is characterized by memorizing M bits of high orders at a time about each color element per pixel, and next memorizing the remaining bits about each color element.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the store method at the time of starting an image processing system, especially memorizing image data for a storage means.

[0002]

[Description of the Prior Art] The technology of color picture processing is progressing increasingly in recent years, and since devices, such as a personal computer (a personal computer is called hereafter.) and a color scanner, moreover also became cheap, a color picture can be easily processed also with a personal computer.

[0003] drawing showing the outline of the example of composition of an image processing system in which drawing 5 performs color picture processing -- it is -- the inside of drawing, and 1 -- in a color scanner and 4, memory and 5 show a display device and 6 shows [CPU and 2 / an input device and 3] a bus

[0004] CPU1 generalizes and manages operation of the whole image processing system concerned while performing various image processings to image data. The input device 2 consists of input units, such as a keyboard and a mouse.

[0005] A color scanner 3 reads a color manuscript and generates image data. In addition, although a color scanner 3 shall output red (R), green (G), and three blue (B) image data, naturally you may be the scanner which outputs cyanogen (C), a Magenta (M), yellow (Y), and Japanese ink (K) here.

[0006] Although memory 4 is for memorizing image data, not only the image data of three colors of R, G, and B but dummy data (D) shall be memorized by this memory 4. Although this requires only the image data of three colors of the oaks R, G, and B which only display image data on the display device 5, since it needs the image data of four color elements, C, M, Y, and K, in connecting a color printer and the film output machine for platemaking to the composition shown in drawing 5 and outputting by those devices, the image data of four color elements is always memorized. Therefore, the image data of four color elements, R, G, B, and D, or the image data of four color elements, C, M, Y, and K, is memorized by memory 4. About this point, it is the same as that of the following.

[0007] The display device 5 shall consist of display controllers which are for displaying a picture and contain a color CRT and a frame memory here. About this point, it is the same as that of the following. Moreover, a bus 6 is used for a transfer of image data.

[0008] In the composition shown in drawing 5, supposing it reads a color manuscript with a color scanner 3 now, although a color scanner 3 separates the color of the color manuscript concerned and outputs the image data of three colors of R, G, and B, CPU1 will add dummy data to these image data, and will memorize them in memory 4.

[0009] Moreover, supposing CPU1 is equipped with the program of picture creation, a user starts this program, it operates the input device 2 and it creates a desired picture, CPU1 will add the dummy data D to the image data of R, G, and B of the picture concerned, and will memorize them in memory 4.

[0010] Moreover, when the image data of R, G, B, and D is memorized by memory 4, in displaying a picture on the display device 5, CPU1 reads the image data of four color elements, R, G, B, and D, from memory 4, and transmits it to the frame memory of the display device 5. A picture will be displayed on the display device 5 by this. In addition, the display device 5 of the dummy data D being disregarded is natural.

[0011]

[Problem(s) to be Solved by the Invention] By the way, in recent years, although the number of bits of each color element per pixel of image data was 8 bits in the former, in order to prevent that color precision falls by the so-called digit omission produced in process of various image processings, such as color conversion and a gray scale conversion, in order to express a color to accuracy more, bit omission, etc., the number of bits of each color element per pixel It has been made more mostly than 8 bits. In the

color scanner in recent years, that whose number of bits of each color element per pixel is 12 bits or 16 bits is actually developed.

[0012] However, the number of bits of each color element per pixel which the display device 5 needs is still carried out. It is usual that it is 8 bits, the processing which reads image data from memory 4 for the reason, and is transmitted to the display device 5 became complicated, and the problem that displaying a picture takes time has arisen.

[0013] It is as follows if an example is given. Now, the number of bits of each color element per pixel is 16 bits, and the bus width of face of a bus 6 presupposes that it is 32 bits. At this time, image data is memorized by memory 4, as shown at drawing 6 A. In addition, in drawing 6 A, the arrow shows that the address is continuing. Hereafter, it is the same.

[0014] Moreover, in drawing 6 A, "P" expresses the pixel. Therefore, P1 shows the 1st pixel and P2 expresses the 2nd pixel. The same is said of others. Moreover, "H" is the high order of each color element. 8 bits is shown and "L" is the low rank of each color element. 8 bits is shown. Therefore, "RH1" is the high order of 1st pixel R. 8 bits is shown and "DL2" is the low rank of the pixel [2nd] dummy data. 8 bits is shown. The same is said of others and is said of the following.

[0015] Now, in such a case, the image data which should be transmitted to the display device 5 is the high order of the data of each color element. Since it is 8 bits, CPU1 incorporates the following 32 bits from memory 4 through a bus 6, as the first 32 bits of the image data concerned are incorporated from memory 4 through a bus 6 as first shown in drawing 6 B, next shown in drawing 6 C. And high order of the color element out of these data As only 8 bits is extracted and it is shown in drawing 6 D, 32-bit data will be created, and the processing which transmits this 32-bit data to the display device 5 through a bus 6 will be repeated.

[0016] thus, in order to transmit data required for a 1-pixel display to the display device 5 Operation which transmits data to the display device 5 after rearranging into the color data format as which color data are read from memory 4 in 2 steps, and the display device 5 requires this is required for CPU1. Since the bus access of this three convenience takes time and limited time to be also in rearrangement of data moreover is required, the image display in the display device 5 will take time.

[0017] However, whenever it displays a different picture on the display device 5, that it takes time every has a problem. For example, considering the case where a certain edit is performed to the picture currently displayed while a user looks at the screen of the display device 5, that image display takes time When a user operates the input device 2 and performs a certain picture edit It is clear to the display of the picture acquired as a result of the edit meaning a bird clapper late that it is otherwise what does not become, but can never say such a thing as a desirable thing as a man machine interface, but it is very hard for a user to use.

[0018] In addition, although the scanner which outputs three image data, R, G, and B, above was explained, it is clear to this contractor that the same problem arises also in the scanner which outputs C, M, Y, and K.

[0019] this invention solves the above-mentioned technical problem, and aims at offering the store method of the image data in the image processing system which can shorten the time which the data transfer to a predetermined device [memory] takes.

[0020]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, the store method of the image data in the image processing system of this invention A storage means to memorize the image data as which each color element per pixel including dummy data is expressed by N bits, In an image processing system equipped with the processing device which uses M (however, $M < N$) bit about each color element per pixel In case image data is memorized for the aforementioned storage means, it is characterized by memorizing M bits of high orders at a time about each color element per pixel, and next memorizing the remaining bits about each color element.

[0021]

[Function and Effect(s) of the Invention] When each color element per pixel including dummy data is expressed by N bits and image data is equipped with the processing device which uses M (however,

$M < N$) bit about each color element per pixel, it memorizes M bits of high orders at a time about each color element per pixel, and, next, memorizes the remaining bits about each color element.

[0022] Here, as a processing device, a display device or other proper devices can be considered.

[0023] And it supposes that $N = 16$, i.e., each color element per pixel, is 16 bits now, for example, and each color element per pixel. Supposing it is 8 bits, [the data which $M = 8$, i.e. a processing device, for example, a display device, requires] Each color element, for example, the high order of R, G, B, and D, 8 bits is first memorized at a time, it is followed, and it is the low rank of each color element. 8 bits will be memorized.

[0024] Supposing bus width of face is 32 bits, for example according to this, it is the high order of each color element required for a processing device. The time which can transmit the data which a processing device requires at high speed since 8 bits and a total of 32 bits can be once transmitted to a processing device by bus access and the number of times of bus access becomes fewer as compared with the former, with data transfer takes can be shortened.

[0025] Moreover, since processing in which incorporate data from a storage means like the conventional example mentioned above, and only data required for a processing device are rearranged is also unnecessary, data transfer not only can accelerate only the part, but the burden of CPU is mitigable.

[0026]

[Example] Hereafter, an example is explained, referring to a drawing. Drawing 1 is drawing showing the composition of one example of the image processing system which applied this invention, and seven show a crossbar switch among drawing. In addition, the same sign is attached about a thing equivalent to the component shown in drawing 5.

[0027] Moreover, the number of bits of each color element per pixel which the display device 5 needs also here 16 bits and the bus width of face of a bus 6 presuppose that it is 32 bits the number of bits of 8 bits and each color element per pixel. in order [in addition,] to make an understanding easy here -- a color scanner 3 -- R, G, and B -- the case where a color scanner 3 outputs 12-bit data about per [R, G, and B] pixel, respectively, for example although 16 bits shall be outputted about each -- the low rank 4-bit dummy data shall be added and it shall memorize as 16-bit data.

[0028] Although the composition shown in drawing 1 is the same as the composition which shows it to drawing 5 when it removes that the crossbar switch 7 is formed, the form of the image data memorized by memory 4 differs. That is, image data is memorized by memory 4 in the form shown in drawing 2 A. According to drawing 2, it is the high order of each color element to the beginning for every pixel. They is collectively memorized by 8 bits and, next, it is the low rank of each color element. They is collectively memorized by 8 bits. That is, the data of one pixel are the high order of four color elements, R, G, B, and D, in 32 bits of the high order, although it is 64 bits in all. 8-bit data are gathered and it is the low rank of four color elements in 32 bits of low ranks. 8-bit data are gathered.

[0029] Therefore, when displaying the image data memorized by memory 4 on the display device 5, the data for 1 pixel of the form which the display device 5 requires that CPU1 reads 32 bits of high orders from memory 4 about the pixel [1st] data, and should just transmit them to the display device 5 through a bus 6 as this shows to drawing 2 B can be transmitted.

[0030] The 2nd pixel or subsequent ones is the same, and CPU1 reads data of 32 bits of high orders from memory 4 about the data of each pixel, and repeats the processing transmitted to the display device 5 through a bus 6. For example, 32 bits of high orders as shown in drawing 2 C about the 2nd pixel are read, and it transmits to the display device 5 through a bus 6.

[0031] Thus, since processing in which the number of times of bus access becomes fewer as compared with the former, and data are moreover rearranged like before since all the data that are 1 pixel which the display device 5 requires by 1 time of bus access can be transmitted is unnecessary, the speed which transmits image data required for the display device 5 is accelerable.

[0032] When the image data memorized by memory 4 as mentioned above was displayed by the display device 5, as it mentioned above, about each color element, it is a high order. Although what is necessary is to transmit only 8 bits, when performing the image processing specified [gray scale conversion / color conversion,] by the input device 2 about the image data concerned, CPU1 needs to incorporate all

the image data memorized by memory 4.

[0033] At this time, although CPU1 incorporates 32 bits of data at a time one by one from memory 4 through a bus 6, when calculating an image processing, it is necessary to change it into form as shown in drawing 6 A. Although it is possible to perform processing of conversion of this data format in soft inside after CPU1 incorporates data, in drawing 1, it is made to change such a required data format by hardware, and, for the reason, the crossbar switch 7 is prepared. That is, in performing an image processing, CPU1 incorporates the image data read from memory 4 through a crossbar switch 7.

[0034] The crossbar switch 7 is equipped with composition as shown in drawing 3. In addition, it sets to drawing 3 and is the bus width of face of each line. It shall be 8 bits and the input line and the output line shall be connected at the point shown by the black dot in drawing. Moreover, although not illustrated to drawing 3, the latch circuit is prepared in each output line.

[0035] It is as follows if incorporation of the pixel [1st] data is explained. First, although CPU1 reads 32 bits of high orders of the pixel concerned from memory 4 as shown in drawing 2 B, these data of RH1, GH1, BH1, and DH1 are inputted into the line of RH, GH, BH, and DH of the input line of the crossbar switch 7 of drawing 3, respectively, and are outputted and latched to a corresponding output line.

[0036] Next, although CPU1 reads 32 bits of low ranks of the pixel concerned from memory 4, these data of RL1, GL1, BL1, and DL1 are inputted into the line of RL, GL, BL, and DL of the input line of the crossbar switch 7 of drawing 3, respectively, and are outputted and latched to a corresponding output line.

[0037] Thus, if all the data of the pixel concerned are latched to the latch circuit of the output line of a crossbar switch 7, CPU1 will read data from these latch circuits simultaneously. As shown in drawing 4, in case this performs an image processing, the data of a required form can be obtained. It is the same about the 2nd pixel or subsequent ones.

[0038] CPU1 follows the data of all pixels, incorporates the above processing as data of a required form, performs a predetermined image processing, and writes the result in the predetermined field of memory 4. The form of the data at the time of writing the result of this image processing in memory 4 of it being the form shown in drawing 2 A is natural.

[0039] Since it is above, when performing the image processing specified by the input device 2, CPU1 can incorporate image data at high speed in a required form.

[0040] As mentioned above, although one example of this invention was explained, this invention is not limited to the above-mentioned example, and various deformation is possible for it. For example, since it is not necessary to perform processing which rearranges data format by CPU like before in this invention, naturally you may use a direct memory access controller (DMAC). In this case, since CPU1 should just direct the memory address on the memory 4 the image data to transmit is remembered to be, it can lessen the number of times of bus access more, with can transmit required data to high speed at high speed more at the display device 5.

[0041] Moreover, it sets in the above-mentioned example and is about each color element per pixel. Although the display device was taken up as what requires 8-bit data, it is the same when using the processing device which performs a certain processing of those other than a display device.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-305839

(43) 公開日 平成 8 年 (1996) 11 月 22 日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 T 1/60

G 0 6 F 15/64

4 5 0 E

H 0 4 N 1/21

H 0 4 N 1/21

1/46

1/46

Z

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号 特願平7-111913

(22) 出願日 平成 7 年 (1995) 5 月 10 日

(71) 出願人 000002897

大日本印刷株式会社

東京都新宿区市谷加賀町一丁目 1 番 1 号

(72) 発明者 小林 雄二

東京都新宿区市谷加賀町一丁目 1 番 1 号

大日本印刷株式会社内

(72) 発明者 横田 孝子

東京都新宿区市谷加賀町一丁目 1 番 1 号

大日本印刷株式会社内

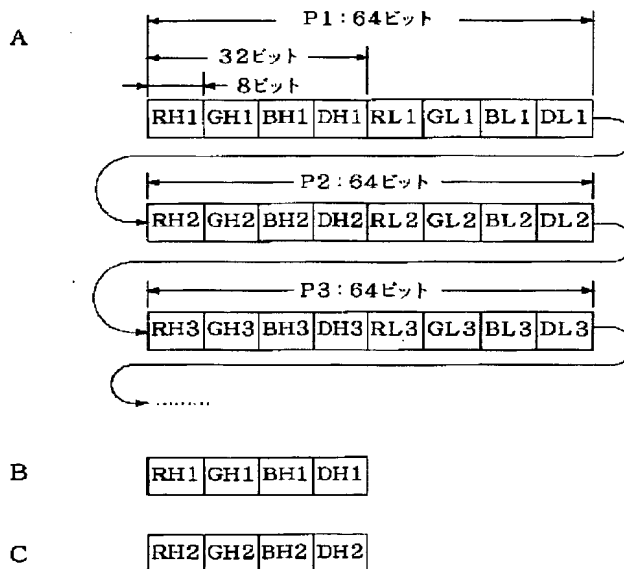
(74) 代理人 弁理士 菅井 英雄 (外 7 名)

(54) 【発明の名称】 画像処理システムにおける画像データの記憶方法

(57) 【要約】

【目的】 1 画素当たり 1 色について 16 ビットの画像データを高速に表示デバイスに転送する。

【構成】 1 画素当たり各色要素が 16 ビットで表現され、表示デバイスが要求するデータが 1 画素当たり各色要素が 8 ビットであるとする、R、G、B 及びダミーデータ D の上位 8 ビットずつを最初にメモリの連続するアドレスに記憶し、R、G、B、D の下位 8 ビットをそれに引き続く連続アドレスに記憶する。これによって、バス幅が 32 ビットであるとする、CPU は表示デバイスに必要な各色要素の上位 8 ビット、計 32 ビットを一度のバスアクセスで表示デバイスに転送することができるので、従来に比較してバスアクセスの回数が減り、表示デバイスの要求するデータを高速に転送することができる。



【特許請求の範囲】

【請求項 1】ダミーデータを含めて 1 画素当たりの各色要素が N ビットで表現される画像データを記憶する記憶手段と、

1 画素当たりの各色要素について M (ただし、 $M < N$) ビットを用いる処理デバイスとを備える画像処理システムにおいて、

画像データを前記記憶手段に記憶する際に、1 画素当たりの各色要素について上位 M ビットずつ記憶し、次に各色要素について残りのビットを記憶することを特徴とする画像処理システムにおける画像データの記憶方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像処理システムに係り、特に画像データを記憶手段に記憶する際の記憶方法に関する。

【0002】

【従来の技術】カラー画像処理の技術は近年益々進歩してきており、しかもパーソナルコンピュータ（以下、パソコンと称す。）やカラーキャナ等の機器も安価になったことからパソコンでも容易にカラー画像を処理できるようになってきている。

【0003】図 5 は、カラー画像処理を行う画像処理システムの構成例の概略を示す図であり、図中、1 は CPU、2 は入力デバイス、3 はカラーキャナ、4 はメモリ、5 は表示デバイス、6 はバスを示す。

【0004】CPU 1 は画像データに対して種々の画像処理を施すと共に、当該画像処理システムの全体の動作を統括して管理するものである。入力デバイス 2 はキーボード、マウス等の入力装置で構成されている。

【0005】カラーキャナ 3 はカラー原稿を読み取って画像データを生成するものである。なお、ここではカラーキャナ 3 は赤 (R)、緑 (G)、青 (B) の 3 つの画像データを出力するものとするが、シアン (C)、マゼンタ (M)、イエロー (Y)、墨 (K) を出力するキャナであってもよいことは当然である。

【0006】メモリ 4 は画像データを記憶するためのものであるが、このメモリ 4 には R、G、B の 3 色の画像データだけではなく、ダミーデータ (D) も記憶されるものとする。これは画像データを表示デバイス 5 に表示するだけであるなら R、G、B の 3 色の画像データだけでよいのであるが、図 5 に示す構成にカラープリンタや製版のためのフィルム出力機が接続され、それらの機器で出力する場合には C、M、Y、K の 4 つの色要素の画像データを必要とするので、常に 4 つの色要素の画像データを記憶するようにするのである。従って、メモリ 4 には、R、G、B、D の 4 つの色要素の画像データあるいは C、M、Y、K の 4 つの色要素の画像データが記憶されるのである。この点については以下同様である。

【0007】表示デバイス 5 は画像を表示するためのも

のであり、ここではカラー CRT 及びフレームメモリを含む表示制御装置で構成されているものとする。この点については以下同様である。また、バス 6 は画像データの転送に用いられるものである。

【0008】図 5 に示す構成において、いま、カラーキャナ 3 でカラー原稿を読み取ったとすると、カラーキャナ 3 は当該カラー原稿を色分解して R、G、B の 3 色の画像データを出力するが、CPU 1 はこれらの画像データにダミーデータを付加してメモリ 4 に記憶する。

【0009】また、CPU 1 が画像作成のプログラムを備えており、ユーザがこのプログラムを起動し、入力デバイス 2 を操作して所望の画像を作成したとすると、CPU 1 は当該画像の R、G、B の画像データにダミーデータ D を付加してメモリ 4 に記憶する。

【0010】また、メモリ 4 に R、G、B、D の画像データが記憶されているとき、画像を表示デバイス 5 に表示する場合には、CPU 1 はメモリ 4 から R、G、B、D の 4 つの色要素の画像データを読み出して表示デバイス 5 のフレームメモリに転送する。これによって表示デバイス 5 には画像が表示されることになる。なお、表示デバイス 5 はダミーデータ D を無視することは当然である。

【0011】

【発明が解決しようとする課題】ところで、従来においては画像データの 1 画素当たりの各色要素のビット数は 8 ビットであったが、近年では色をより正確に表現するために、また色変換、階調変換等の種々の画像処理の過程で生じるいわゆる桁落ちやビット落ち等によって色精度が低下することを防止するために、1 画素当たりの各色要素のビット数が 8 ビットより多くなされてきている。実際、近年のカラーキャナにおいては 1 画素当たりの各色要素のビット数が 12 ビットあるいは 16 ビットのものが開発されている。

【0012】ところが、表示デバイス 5 が必要とする 1 画素当たりの各色要素のビット数は依然として 8 ビットであるのが通常であり、そのためにメモリ 4 から画像データを読み出して表示デバイス 5 に転送する処理が煩雑になり、画像を表示するのに時間がかかるという問題が生じてきた。

【0013】例を挙げれば次のようである。いま、1 画素当たりの各色要素のビット数が 16 ビットであり、バス 6 のバス幅は 32 ビットであるとする。このときメモリ 4 には画像データは図 6 A に示すように記憶されている。なお、図 6 A において矢印はアドレスが連続していることを示している。以下、同様である。

【0014】また、図 6 A において「P」は画素を現している。従って P 1 は 1 画素目を示し、P 2 は 2 画素目を現している。その他も同様である。また、「H」は各色要素の上位 8 ビットを示し、「L」は各色要素の下位 8 ビットを示している。従って、「RH 1」は 1 画素目

のRの上位 8ビットを示し、「DL 2」は2画素目のダミーデータの低位 8ビットを示している。その他についても同様であり、以下も同様である。

【0015】さて、このような場合、表示デバイス5に転送すべき画像データは各色要素のデータの上位 8ビットであるから、CPU 1は、まず図 6 Bに示すように当該画像データの最初の32ビットをバス 6を介してメモリ 4から取り込み、次に、図 6 Cに示すようにその次の32ビットをバス 6を介してメモリ 4から取り込む。そして、これらのデータの中から色要素の上位 8ビットのみを抽出して図 6 Dに示すように32ビットのデータを作成して、この32ビットのデータをバス 6を介して表示デバイス5に転送する処理を繰り返すことになる。

【0016】このように、1画素の表示に必要なデータを表示デバイス5に転送するためには、CPU 1はメモリ 4から色データを2回に分けて読み出し、これを表示デバイス5の要求する色データ形式に並べ替えた後に表示デバイス5にデータを転送する動作が必要であって、この都合3回のバスアクセスに時間を要し、しかもデータの並べ替えにもある有限時間を要するので、表示デバイス5での画像表示に時間がかかってしまうことになるのである。

【0017】しかし、異なる画像を表示デバイス5に表示する度に時間がかかるのは問題がある。例えば、ユーザが表示デバイス5の画面を見ながら表示されている画像に対して何等かの編集を行う場合を考えると、画像表示に時間がかかるということは、ユーザが入力デバイス2を操作して何等かの画像編集を行った場合に、その編集の結果得られる画像の表示が遅くなることを意味するに他ならず、このようなことはマンマシンインターフェースとしては決して好ましいものとはいえず、ユーザにとっては非常に使い難いものであることは明らかである。

【0018】なお、以上においてはR、G、Bの3つの画像データを出力するスキャナについて説明したが、C、M、Y、Kを出力するスキャナにおいても同じ問題が生じることは当業者に明らかである。

【0019】本発明は、上記の課題を解決するものであって、メモリから所定のデバイスへのデータの転送に要する時間を短縮することができる画像処理システムにおける画像データの記憶方法を提供することを目的とするものである。

【0020】

【課題を解決するための手段】上記の目的を達成するために、本発明の画像処理システムにおける画像データの記憶方法は、ダミーデータを含めて1画素当たりの各色要素がNビットで表現される画像データを記憶する記憶手段と、1画素当たりの各色要素についてM（ただし、 $M < N$ ）ビットを用いる処理デバイスとを備える画像処理システムにおいて、画像データを前記記憶手段に記憶

する際に、1画素当たりの各色要素について上位Mビットずつ記憶し、次に各色要素について残りのビットを記憶することを特徴とする。

【0021】

【作用及び発明の効果】画像データがダミーデータを含めて1画素当たりの各色要素がNビットで表現されるとき、1画素当たりの各色要素についてM（ただし、 $M < N$ ）ビットを用いる処理デバイスを備える場合には、1画素当たりの各色要素について上位Mビットずつ記憶し、次に各色要素について残りのビットを記憶する。

【0022】ここで、処理デバイスとしては表示デバイスあるいはその他の適宜なデバイスを考えることができる。

【0023】そして、例えばいま $N=16$ 、即ち1画素当たりの各色要素が16ビットであると、 $M=8$ 、即ち処理デバイス、例えば表示デバイスが要求するデータが1画素当たりの各色要素が8ビットであるとする、各色要素、例えばR、G、B、Dの上位8ビットずつが最初に記憶され、それに引き続いて各色要素の低位8ビットが記憶されることになる。

【0024】これによれば、例えばバス幅が32ビットであるとする、処理デバイスに必要な各色要素の上位8ビット、計32ビットを一度のバスアクセスで処理デバイスに転送することができるので、従来に比較してバスアクセスの回数が減るので処理デバイスの要求するデータを高速に転送することができ、以てデータ転送に要する時間を短縮することができる。

【0025】また、上述した従来例のように記憶手段からデータを取り込んで処理デバイスに必要なデータだけを並べ替えるという処理も必要ないので、その分だけデータ転送が高速化できるばかりでなく、CPUの負担を軽減することができる。

【0026】

【実施例】以下、図面を参照しつつ実施例を説明する。図1は本発明を適用した画像処理システムの一実施例の構成を示す図であり、図中、7はクロスバススイッチを示す。なお、図5に示す構成要素と同等なものについては同一の符号を付す。

【0027】また、ここでも表示デバイス5が必要とする1画素当たりの各色要素のビット数は8ビット、1画素当たりの各色要素のビット数は16ビット、バス6のバス幅は32ビットであるとする。なお、ここでは理解を容易にするためにカラーズキャナ3はR、G、Bそれぞれについて16ビットを出力するものとするが、例えばカラーズキャナ3が1画素当たりR、G、Bについてそれぞれ12ビットのデータを出力する場合には、その下位に4ビットのダミーデータを付加して16ビットのデータとして記憶されるものとする。

【0028】図1に示す構成はクロスバススイッチ7が設けられていることを除くと図5に示す構成と同じである

が、メモリ 4 に記憶される画像データの形式は異なっている。即ち、メモリ 4 には図 2 A に示す形式で画像データが記憶されている。図 2 によれば、各画素毎に、最初に各色要素の上位 8 ビットが纏めて記憶され、次に各色要素の下位 8 ビットが纏めて記憶されている。つまり、一つの画素のデータは全部で 64 ビットであるが、その上位 32 ビットには R、G、B、D の 4 つの色要素の上位 8 ビットのデータが纏められており、下位 32 ビットには 4 つの色要素の下位 8 ビットのデータが纏められているのである。

【0029】従って、メモリ 4 に記憶されている画像データを表示デバイス 5 に表示する場合には、CPU 1 は 1 画素目のデータについてはメモリ 4 から上位 32 ビットを読み出してバス 6 を介して表示デバイス 5 に転送するだけでよく、これによって図 2 B に示すように表示デバイス 5 が要求する形式の 1 画素分のデータを転送することができる。

【0030】2 画素目以降も同様であり、CPU 1 は各画素のデータについて上位 32 ビットのデータをメモリ 4 から読み出し、バス 6 を介して表示デバイス 5 に転送する処理を繰り返す。例えば、2 画素目については図 2 C に示すような上位 32 ビットを読み出してバス 6 を介して表示デバイス 5 に転送するのである。

【0031】このように、1 回のバスアクセスで表示デバイス 5 が要求する 1 画素のデータを全て転送することができるので、従来に比較してバスアクセスの回数が減り、しかも従来のようにデータを並べ替えるという処理は不要であるので、表示デバイス 5 に必要な画像データを転送する速度を高速化することができる。

【0032】以上のようにメモリ 4 に記憶されている画像データを表示デバイス 5 で表示する場合には上述したように各色要素については上位 8 ビットだけを転送すればよいのであるが、入力デバイス 2 によって当該画像データについて色変換、階調変換等の指定された画像処理を行う場合には CPU 1 はメモリ 4 に記憶されている全ての画像データを取り込む必要がある。

【0033】このとき CPU 1 はバス 6 を介してメモリ 4 から 32 ビットずつ順次データを取り込むが、画像処理の演算を行う場合には図 6 A に示すような形式に変換する必要がある。このデータ形式の変換の処理は CPU 1 がデータを取り込んだ後に内部でソフト的に行うことは可能であるが、図 1 においてはこのような必要なデータ形式の変換をハードウェアで行うようにしたものであり、そのために設けられているのがクロスバスイッチ 7 である。即ち、画像処理を行う場合には CPU 1 はメモリ 4 から読み出した画像データをクロスバスイッチ 7 を介して取り込むのである。

【0034】クロスバスイッチ 7 は図 3 に示すような構成を備えている。なお、図 3 において各ラインのバス幅は 8 ビットであり、入力ラインと出力ラインは図中黒丸

で示す点で接続されているものとする。また、図 3 には図示しないが、各出力ラインにはラッチ回路が設けられている。

【0035】1 画素目のデータの取り込みについて説明すると次のようである。まず、CPU 1 は図 2 B に示すように当該画素の上位 32 ビットをメモリ 4 から読み出すが、これらの RH1、GH1、BH1、DH1 のデータはそれぞれ図 3 のクロスバスイッチ 7 の入力ラインの R、H、G、H、B、H、D、H のラインに入力され、対応する出力ラインに出力されてラッチされる。

【0036】次に CPU 1 は当該画素の下位 32 ビットをメモリ 4 から読み出すが、これらの RL1、GL1、BL1、DL1 のデータはそれぞれ図 3 のクロスバスイッチ 7 の入力ラインの R、L、G、L、B、L、D、L のラインに入力され、対応する出力ラインに出力されてラッチされる。

【0037】このように当該画素の全てのデータがクロスバスイッチ 7 の出力ラインのラッチ回路にラッチされると、CPU 1 はこれらのラッチ回路から同時にデータを読み出す。これによって図 4 に示すように画像処理を行う際に必要な形式のデータを得ることができる。2 画素目以降についても同様である。

【0038】CPU 1 は以上の処理を全ての画素のデータについて行って必要な形式のデータとして取り込み、所定の画像処理を行って、その結果をメモリ 4 の所定の領域に書き込む。この画像処理の結果をメモリ 4 に書き込む際のデータの形式は図 2 A に示す形式であることは当然である。

【0039】以上のようなので、入力デバイス 2 によって指定された画像処理を行う場合にも CPU 1 は画像データを必要な形式で高速に取り込むことができる。

【0040】以上、本発明の一実施例について説明したが、本発明は上記実施例に限定されるものではなく種々の変形が可能である。例えば、本発明においては従来のように CPU でデータ形式を並べ替える処理を行う必要はないので、ダイレクト・メモリ・アクセス・コントローラ (DMAC) を用いてもよいことは当然である。その場合には CPU 1 は転送する画像データの記憶されているメモリ 4 上のメモリアドレスを指示すればよいので、バスアクセスの回数をより少なくすることができ、以てより高速に表示デバイス 5 に必要なデータを高速に転送することができる。

【0041】また、上記実施例においては 1 画素当たり各色要素について 8 ビットのデータを要求するものとして表示デバイスを取り上げたが、表示デバイス以外の何等かの処理を行う処理デバイスを用いる場合にも同様である。

【図面の簡単な説明】

【図 1】 本発明を適用した画像処理システムの一実施例の構成を示す図である。

10

20

30

40

50

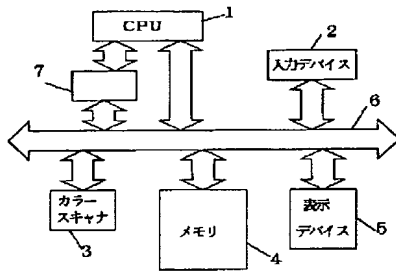
【図2】 図1の構成においてメモリ4に記憶される画像データの形式、及びメモリ4からの画像データの読み出しを説明するための図である。

【図3】 図1のクロスバスイッチ7の構成例を示す図である。

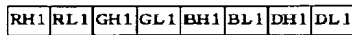
【図4】 クロスバスイッチ7から出力される1画素のデータ形式を示す図である。

【図5】 画像処理システムの構成例を示す図である。

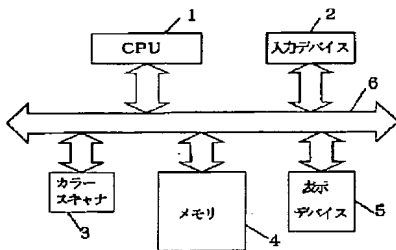
【図1】



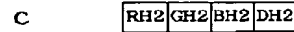
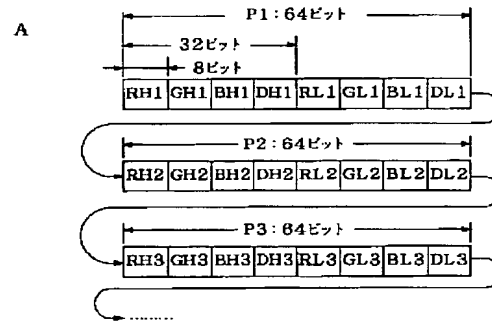
【図4】



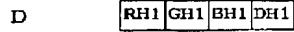
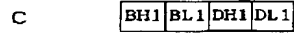
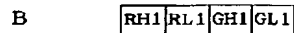
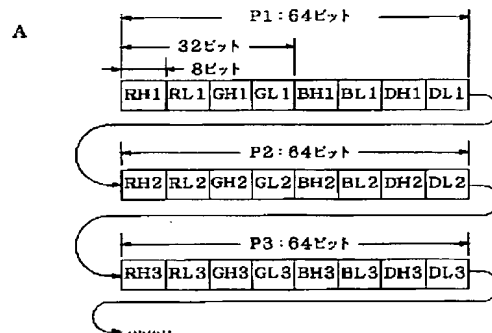
【図5】



【図2】



【図6】



【図6】 図5の構成においてメモリ4に記憶される画像データの形式、及びメモリ4からの画像データの読み出しを説明するための図である。

【符号の説明】

1…CPU、2…入力デバイス、3…カラー scanner、4…メモリ、5…表示デバイス、6…バス、7…クロスバスイッチ。

【図3】

